

This Page Is Inserted by IFW Operations  
and is not a part of the Official Record

## **BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

**IMAGES ARE BEST AVAILABLE COPY.**

As rescanning documents *will not* correct images,  
please do not report the images to the  
Image Problem Mailbox.



## PATENT ABSTRACTS OF JAPAN

(11) Publication number: **10289581 A**(43) Date of publication of application: **27 . 10 . 98**

(51) Int. Cl. **G11C 11/409**  
**G11C 11/401**  
**H01L 27/108**  
**H01L 21/8242**

(21) Application number: **09097680**(22) Date of filing: **15 . 04 . 97**(71) Applicant: **FUJITSU LTD FUJITSU VLSI LTD**

(72) Inventor: **MATSUMIYA MASATO**  
**ETO SATOSHI**  
**NAKAMURA TOSHIKAZU**  
**TAKITA MASAHIRO**  
**TOUHO MITSUHIRO**  
**KOGA TORU**  
**KANO HIDEKI**  
**KITAMOTO AYAKO**  
**KAWABATA KUNINORI**

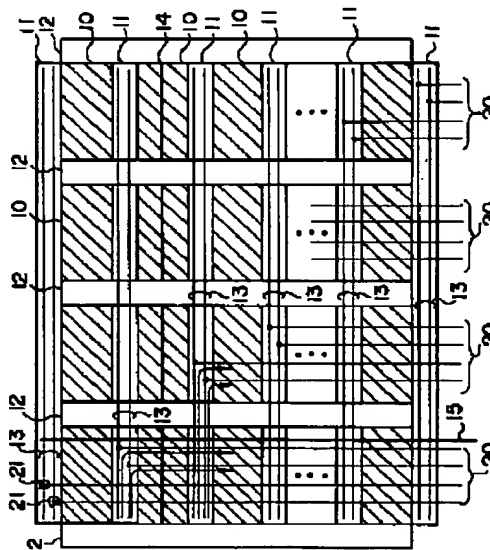
(54) **SEMICONDUCTOR MEMORY DEVICE**

## (57) Abstract:

**PROBLEM TO BE SOLVED:** To increase the number of global data buses without increasing a chip area so as to increase a data transmission amount by arranging a second data bus as a global data bus in a cell block position so as to be directly connected with a first data bus and passed through the cell block position.

**SOLUTION:** A global data bus 20 is arranged so as to be passed through the cell array upper part of a cell block 10. Thus, since a space sufficient for arranging the global data bus 20 is provided, without increasing a memory chip area, the number of global data buses is increased to increase a data transmission amount. Also, since each global data bus 20 is directed connected with a local data bus 13, any unnecessary resistance values are not inserted during this period and thus high-speed data transfer is performed.

COPYRIGHT: (C)1998,JPO



(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平10-289581

(43) 公開日 平成10年(1998)10月27日

(51) Int.Cl.<sup>6</sup>

識別記号

F I

G 1 1 C 11/409

G 1 1 C 11/34

3 5 4 R

11/401

3 7 1 K

H 0 1 L 27/108

H 0 1 L 27/10

6 8 1 F

21/8242

審査請求 未請求 請求項の数14 O L (全 16 頁)

(21) 出願番号

特願平9-97680

(22) 出願日

平成9年(1997)4月15日

(71) 出願人 000005223

富士通株式会社

神奈川県川崎市中原区上小田中4丁目1番  
1号

(71) 出願人 000237617

富士通ヴィエルエスアイ株式会社

愛知県春日井市高蔵寺町2丁目1844番2

(72) 発明者 松宮 正人

神奈川県川崎市中原区上小田中4丁目1番  
1号 富士通株式会社内

(74) 代理人 弁理士 伊東 忠彦

最終頁に続く

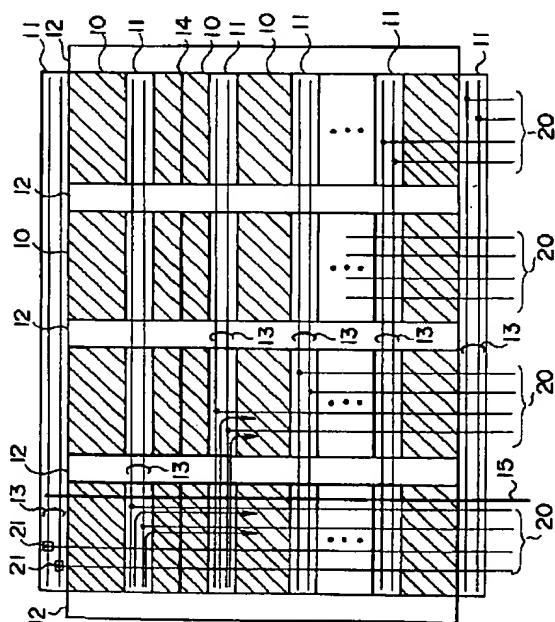
(54) 【発明の名称】 半導体記憶装置

(57) 【要約】

【課題】本発明は、チップ面積を増大させることなく、データバスの本数を増やしてデータ伝送量を増加可能な半導体記憶装置を提供することを目的とする。

【解決手段】半導体記憶装置は、メモリセルの配列を含む少なくとも一つのセルブロックと、メモリセルのデータを一時的に保持する複数のセンスアンプと、複数のセンスアンプに第1のゲートを介して共通に接続される第1のデータバスと、第1のデータバスに直接に接続されセルブロックの位置を通過するようセルブロックの位置に重ねて配置される第2のデータバスを含むことを特徴とする。

本発明の原理によるグローバルデータバスのレイアウトを示す図



1

## 【特許請求の範囲】

【請求項1】メモリセルの配列を含む少なくとも一つのセルブロックと、  
該メモリセルのデータを一時的に保持する複数のセンスアンプと、  
該複数のセンスアンプに第1のゲートを介して共通に接続される第1のデータバスと、  
該第1のデータバスに直接に接続され該セルブロックの位置を通過するよう該セルブロックの位置に重ねて配置される第2のデータバスを含むことを特徴とする半導体記憶装置。

【請求項2】前記第2のデータバスは、前記第1のデータバスが配置される第1の伝導層とは異なる第2の伝導層に配置され、コンタクトホール及びホール埋め込み層の一方を介して該第1のデータバスと接続されることを特徴とする請求項1記載の半導体記憶装置。

【請求項3】前記メモリセルを選択的に前記複数のセンスアンプに接続する第1の選択線を更に含み、該第1の選択線は、前記第1の伝導層に配置され、前記第2の伝導層に配置される前記第2のデータバスと略直交することを特徴とする請求項2記載の半導体記憶装置。

【請求項4】前記複数の第1のゲートを選択的に導通させて前記複数のセンスアンプを選択的に前記第1のデータバスに接続する第2の選択線を更に含むことを特徴とする請求項3記載の半導体記憶装置。

【請求項5】該メモリセルのデータを一時的に保持する複数のセンスアンプ列を更に含み、前記第1のデータバスは該複数のセンスアンプ列に対応して複数本設けられ、前記第2のデータバスは該複数の第1のデータバスに一对一に接続されるよう複数本設けられることを特徴とする請求項1記載の半導体記憶装置。

【請求項6】該メモリセルのデータを一時的に保持する複数のセンスアンプ列を更に含み、前記第1のデータバスは該複数のセンスアンプ列に対応して複数本設けられ、該複数の第1のデータバスは前記第2のデータバスに多対一に接続されることを特徴とする請求項1記載の半導体記憶装置。

【請求項7】該メモリセルのデータを一時的に保持する複数のセンスアンプ列を更に含み、前記第1のデータバスは該複数のセンスアンプ列に対応して複数本設けられ、該複数の第1のデータバスは前記第2のデータバスに多対一に接続されることを特徴とする請求項4記載の半導体記憶装置。

【請求項8】該複数のセンスアンプ列から少なくとも一つのセンスアンプ列を選択して、該少なくとも一つのセンスアンプ列と対応する第1のデータバスとの間のデータ転送を可能にする第3の選択線を更に含むことを特徴とする請求項7記載の半導体記憶装置。

【請求項9】前記第3の選択線は前記第1の伝導層に配置され、前記第2の選択線は前記第2の伝導層に配置

2

されることを特徴とする請求項8記載の半導体記憶装置。

【請求項10】前記第3の選択線によって制御される第2のゲートを更に含み、該第2のゲートは前記複数のセンスアンプ列と対応する第1のデータバスとの間で前記第2の選択線により制御される前記第1のゲートと直列に接続されることを特徴とする請求項8記載の半導体記憶装置。

【請求項11】前記複数の第1のデータバスの各々は、データ読み出し用データバスとデータ書き込み用データバスを含み、

該データ書き込み用データバスに対しては、前記第1のゲート及び前記第2のゲートは前記第2の選択線及び前記第3の選択線を夫々ゲート入力とするトランジスタであり、

該データ読み出し用データバスに対しては、前記第2のゲートは前記第1のゲートと前記第3の選択線との間に挿入され前記複数のセンスアンプにより駆動されるトランジスタであり、前記第1のゲートは前記第2の選択線をゲート入力とするトランジスタであることを特徴とする請求項10記載の半導体装置。

【請求項12】前記第1のゲートはNMOSトランジスタであり、前記第2の選択線が該第1のゲートを選択的に導通させる際に有する電位は、略前記複数のセンスアンプのプリチャージ電位以下であることを特徴とする請求項7記載の半導体記憶装置。

【請求項13】前記複数の第1のデータバスは、データ読み出し用データバスとデータ書き込み用データバスを含み、

該複数のセンスアンプ列から少なくとも一つのセンスアンプ列を選択して、該少なくとも一つのセンスアンプ列と対応するデータ書き込み用データバスとの間のデータ転送を可能にする第3の選択線と、

グランド電位に接続されるソース端と前記第1のゲートを介して該データ読み出し用データバスに接続されるドレイン端を有し、前記複数のセンスアンプにより駆動されるNMOSトランジスタを含み、該複数のセンスアンプのプリチャージ電位は略グランド電位であることを特徴とする請求項7記載の半導体装置。

【請求項14】メモリセルのデータを一時的に格納する複数のセンスアンプを各々が含む複数のセンスアンプ列と、

該複数のセンスアンプ列に対応して設けられ、各々が該複数のセンスアンプに共通に接続される複数の第1のデータバスと、

該複数の第1のデータバスに直接に接続され該メモリセルの位置を通過するよう該メモリセルの位置に重ねて配置される少なくとも一つの第2のデータバスを含むことを特徴とする半導体記憶装置。

【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】本発明は半導体記憶装置に関し、詳しくは、セルアレイにデータを記憶するDRAM等の半導体記憶装置に関する。

## 【0002】

【従来の技術】DRAM等の半導体記憶装置は、各々が1ビットのデータを記憶可能なメモリセルがブロックに纏められ、各ブロックのメモリセルアレイに対してデータを読み出し・書き込みする。図10は、従来のDRAMのセルアレイ周辺のレイアウトを示す。

【0003】図10のDRAMは、コア回路201、及びコア回路201に対してデータを読み出し・書き込みするためのグローバルデータバス202を含む。コア回路201は、セルアレイを含み縦横に配置されたセルブロック210、セルブロック210の各行の上下に配置されるセンスアンプ列領域211、セルブロック210の各列の左右に配置されるサブワードデコーダ列領域212、センスアンプ列領域211に重ねて配置されるローカルデータバス213、セルブロック210内の一行のメモリセルを選択するワード選択線214、センスアンプ列領域211に配置される複数のセンスアンプ（図示せず）の幾つかを選択するコラム選択線215、ローカルデータバス213をグローバルデータバス202に接続するアンプスイッチ216を含む。

【0004】図10のDRAMの動作を、データ読み出しを例にとって以下に説明する。サブワードデコーダ列領域212に配置されるワードデコーダ（図示せず）によって、図示されない複数のワード選択線から一本のワード選択線214を選択する。このワード選択線214を選択することによって、縦横に配置されるセルブロック210のうちの一行を選択すると共に、その一行のセルブロック210に含まれるセルアレイから一行のメモリセルを選択する。選択されたメモリセルに記憶されるデータが、図示されないビット線を介して、選択されたセルブロック210の上下に配置されるセンスアンプ列領域211に読み出され、複数のセンスアンプに保持される。図示されない複数のコラム選択線から一本のコラム選択線215を選択することによって、メモリセルからのデータを保持する複数のセンスアンプ列から幾つかのセンスアンプを選択し、選択されたセンスアンプからデータをローカルデータバス213に読み出す。選択されたメモリブロック210の上下に配置されるローカルデータバス213を、スイッチアンプ216を介してグローバルデータバス202に接続することで、データをグローバルデータバス202に読み出す。

## 【0005】

【発明が解決しようとする課題】このようなレイアウトを有する従来のDRAMに於ては、コア回路201の両側に、グローバルデータバス202を配置する領域を設ける必要がある。このような領域を設けることは、チップ

ブ面積の増大につながり好ましくない。またグローバルデータバス202とローカルデータバス213とを接続するスイッチアンプ216が、ある程度の抵抗値を有することは避けられない。従ってこの抵抗値によって、データ転送速度が遅くなるという問題がある。

【0006】図11は、従来のDRAMのセルアレイ周辺の別のレイアウトを示す。図11に於て、図10と同一の構成要素は同一の番号で参照され、その説明は省略する。図11のDRAMに於ては、グローバルデータバス202Aが、コア回路201A内で縦横に配置されるセルブロック210に対して、セルブロック210の各列の左右に配置されている。ローカルデータバス213は、グローバルデータバス202Aとの交差点に配置されるスイッチ216Aによって、グローバルデータバス202Aに接続される。

【0007】図11のようなレイアウトに於ては、グローバルデータバス202Aは、サブワードデコーダ列領域212に重ねて配置されるので、図10の場合のようにグローバルデータバス用の領域を特別に設ける必要はない。しかしながらグローバルデータバス202A、スイッチ216A、及びスイッチを駆動するための回路（図示せず）を、サブワードデコーダ列領域212に重ねて配置する必要があるために、レイアウトが複雑になるという問題がある。

【0008】また図10及び図11のレイアウトに共通であり更に重要な問題点として、限られた狭い領域にグローバルデータバス202或いは202Aを配置するため、グローバルデータバスの本数が限られてしまうことが挙げられる。即ち、使用可能なチップ面積に限りがあるために、グローバルデータバスの本数を増やしてデータ伝送量を増大させることは困難であった。

【0009】従って本発明は、チップ面積を増大させることなく、データバスの本数を増やしてデータ伝送量を増加可能な半導体記憶装置を提供することを目的とする。

## 【0010】

【課題を解決するための手段】請求項1の発明に於ては、半導体記憶装置は、メモリセルの配列を含む少なくとも一つのセルブロックと、該メモリセルのデータを一時的に保持する複数のセンスアンプと、該複数のセンスアンプに第1のゲートを介して共通に接続される第1のデータバスと、該第1のデータバスに直接に接続され該セルブロックの位置を通過するよう該セルブロックの位置に重ねて配置される第2のデータバスを含むことを特徴とする。

【0011】上記発明に於ては、グローバルデータバスである第2のデータバスをセルブロックの位置に配置するので、チップ面積を増大させることなく、グローバルデータバスの本数を増やしてデータ伝送量を増加させることが出来る。請求項2の発明に於ては、請求項1記載

の半導体記憶装置に於て、前記第2のデータバスは、前記第1のデータバスが配置される第1の伝導層とは異なる第2の伝導層に配置され、コンタクトホール及びホール埋め込み層の一方を介して該第1のデータバスと接続されることを特徴とする。

【0012】上記発明に於ては、第1のデータバスと第2のデータバスとが異なる伝導層に配置されるので、両データバスのレイアウトを互いに干渉することなく設定することが出来る。請求項3の発明に於ては、請求項2記載の半導体記憶装置に於て、前記メモリセルを選択的に前記複数のセンスアンプに接続する第1の選択線を更に含み、該第1の選択線は、前記第1の伝導層に配置され、前記第2の伝導層に配置される前記第2のデータバスと略直交することを特徴とする。

【0013】上記発明に於ては、ワード選択線である第1の選択線は第1の伝導層に配置されるので、第2の伝導層に配置される第2のデータバスと直交するように配置することが出来る。請求項4の発明に於ては、請求項3記載の半導体記憶装置に於て、前記複数の第1のゲートを選択的に導通させて前記複数のセンスアンプを選択的に前記第1のデータバスに接続する第2の選択線を更に含むことを特徴とする。

【0014】上記発明に於ては、コラム選択線である第2の選択線によって、複数のセンスアンプから少なくとも一つを選択して第1のデータバスに接続することが出来る。請求項5の発明に於ては、請求項1記載の半導体記憶装置に於て、該メモリセルのデータを一時的に保持する複数のセンスアンプ列を更に含み、前記第1のデータバスは該複数のセンスアンプ列に対応して複数本設けられ、前記第2のデータバスは該複数の第1のデータバスに一对一に接続されるよう複数本設けられることを特徴とする。

【0015】上記発明に於ては、ローカルデータバスである第1のデータバスは、グローバルデータバスである第2のデータバスに一对一に直接接続されるので、各々のローカルデータバスに対しては、対応するグローバルデータバスを介してデータ読み出し／書き込みを行うことが出来る。請求項6の発明に於ては、請求項1記載の半導体記憶装置に於て、該メモリセルのデータを一時的に保持する複数のセンスアンプ列を更に含み、前記第1のデータバスは該複数のセンスアンプ列に対応して複数本設けられ、該複数の第1のデータバスは前記第2のデータバスに多対一に接続されることを特徴とする。

【0016】上記発明に於ては、ローカルデータバスである第1のデータバスは、グローバルデータバスである第2のデータバスに多対一に直接接続されるので、必要なグローバルバスの本数を、一对一の直接接続の場合に比較して少なくすることが出来る。請求項7の発明に於ては、請求項4記載の半導体記憶装置に於て、該メモリセルのデータを一時的に保持する複数のセンスアンプ列

を更に含み、前記第1のデータバスは該複数のセンスアンプ列に対応して複数本設けられ、該複数の第1のデータバスは前記第2のデータバスに多対一に接続されることを特徴とする。

【0017】上記発明に於ては、ローカルデータバスである第1のデータバスは、グローバルデータバスである第2のデータバスに多対一に直接接続されるので、必要なグローバルバスの本数を、一对一の直接接続の場合に比較して少なくすることが出来る。請求項8の発明に於ては、請求項7記載の半導体記憶装置に於て、該複数のセンスアンプ列から少なくとも一つのセンスアンプ列を選択して、該少なくとも一つのセンスアンプ列に対応する第1のデータバスとの間のデータ転送を可能にする第3の選択線を更に含むことを特徴とする。

【0018】上記発明に於ては、ローカルデータバスである第1のデータバスがグローバルデータバスである第2のデータバスに多対一に直接接続される場合に、第1のデータバスと接続するセンスアンプ列を複数のセンスアンプ列から選択することによって、複数のローカルデータバスからのデータがグローバルデータバスに於て衝突しないように制御することが出来る。

【0019】請求項9の発明に於ては、請求項8記載の半導体記憶装置に於て、前記第3の選択線は前記第1の伝導層に配置され、前記第2の選択線は前記第2の伝導層に配置されることを特徴とする。上記発明に於ては、コラム選択線である第2の選択線とセンスアンプ列選択線である第3の選択線とは別の伝導層に配置されるので、両選択線を互いに干渉することなくレイアウトすることが出来る。

【0020】請求項10の発明に於ては、請求項8記載の半導体記憶装置に於て、前記第3の選択線によって制御される第2のゲートを更に含み、該第2のゲートは前記複数のセンスアンプ列に対応する第1のデータバスとの間で前記第2の選択線により制御される前記第1のゲートと直列に接続されることを特徴とする。上記発明に於ては、2つのゲートを直列に接続して第2の選択線と第3の選択線により各ゲート制御することで、両選択線が選択されたときのみ該当するセンスアンプが第1のデータバスに接続されるような回路を、簡単に実現することが出来る。

【0021】請求項11の発明に於ては、請求項10記載の半導体装置に於て、前記複数の第1のデータバスの各々は、データ読み出し用データバスとデータ書き込み用データバスを含み、該データ書き込み用データバスに対しては、前記第1のゲート及び前記第2のゲートは前記第2の選択線及び前記第3の選択線を夫々ゲート入力とするトランジスタであり、該データ読み出し用データバスに対しては、前記第2のゲートは前記第1のゲートと前記第3の選択線との間に挿入され前記複数のセンスアンプにより駆動されるトランジスタであり、前記第1

のゲートは前記第2の選択線をゲート入力とするトランジスタであることを特徴とする。

【0022】上記発明に於ては、データ読み出しに関しては、ダイレクトセンスアンプ方式を応用することで、信頼性のあるデータ読み出しを実現することが出来る。請求項12の発明に於ては、請求項7記載の半導体記憶装置に於て、前記第1のゲートはNMOSトランジスタであり、前記第2の選択線が該第1のゲートを選択的に導通させる際に有する電位は、略前記複数のセンスアンプのプリチャージ電位以下であることを特徴とする。

【0023】上記発明に於ては、コラム選択線である第2の選択線を選択する際の電位を略プリチャージ電位以下にすることで、コラムゲートである第1のゲートが選択されてもセンスアンプがプリチャージ電位のままであれば第1のゲートは導通されず、非活性のセンスアンプは第1のデータバスに接続されない。請求項13の発明に於ては、請求項7記載の半導体装置に於て、前記複数の第1のデータバスは、データ読み出し用データバスとデータ書き込み用データバスを含み、該複数のセンスアンプ列から少なくとも一つのセンスアンプ列を選択して、該少なくとも一つのセンスアンプ列と対応するデータ書き込み用データバスとの間のデータ転送を可能にする第3の選択線と、グランド電位に接続されるソース端と前記第1のゲートを介して該データ読み出し用データバスに接続されるドレイン端を有し、前記複数のセンスアンプにより駆動されるNMOSトランジスタを含み、該複数のセンスアンプのプリチャージ電位は略グランド電位であることを特徴とする。

【0024】上記発明に於ては、データ読み出しに関しては、ダイレクトセンスアンプ方式を応用することで信頼性のあるデータ読み出しを実現出来るとともに、センスアンプのプリチャージ電位を略グランド電位とすることで、非活性のセンスアンプを自動的に第1のデータバスから分離することが出来る。請求項14の発明に於ては、半導体記憶装置は、メモリセルのデータを一時的に格納する複数のセンスアンプを各々が含む複数のセンスアンプ列と、該複数のセンスアンプ列に対応して設けられ、各々が該複数のセンスアンプに共通に接続される複数の第1のデータバスと、該複数の第1のデータバスに直接に接続され該メモリセルの位置を通過するよう該メモリセルの位置に重ねて配置される少なくとも一つの第2のデータバスを含むことを特徴とする。

【0025】上記発明に於ては、グローバルデータバスである第2のデータバスをセルブロックの位置に配置するので、チップ面積を増大させることなく、グローバルデータバスの本数を増やしてデータ伝送量を増加させることが出来る。

【0026】

【発明の実施の形態】以下に本発明の原理と実施例を添付の図面を用いて説明する。図1は、本発明の原理によ

るグローバルデータバスのレイアウトを示す図である。図1のコア回路は、セルアレイを含み縦横に配置されたセルブロック10、セルブロック10の各行の上下に配置されるセンスアンプ列領域11、セルブロック10の各列の左右に配置されるサブワードデコーダ列領域12、センスアンプ列領域11に重ねて配置されるローカルデータバス13、セルブロック10内の一行のメモリセルを選択するワード選択線14、センスアンプ列領域11に配置される複数のセンスアンプ（図示せず）の幾つかを選択するコラム選択線15、及びセルブロック10に対してデータを読み出し・書き込みするためのグローバルデータバス20を含む。

【0027】図1のコア回路は、従来のDRAMのコア回路周辺の構成と同様に多層構造の半導体装置となっており、ローカルデータバス13及びセンスアンプ列領域11のセンスアンプ列は第1の伝導層に配置され、コラム選択線15は第2の伝導層に配置される。本発明に於ては、更に、グローバルデータバス20が第2の伝導層内で、メモリセルを含むセルブロック10の上或いは下を通過するように配置される。この第2の伝導層のグローバルデータバス20は、第1の伝導層のローカルデータバス13と、コンタクトホール（或いはホール埋め込み層）21を介して直接に接続される。コンタクトホール21は、最上部のセンスアンプ列領域11に於てのみ図示されるが、グローバルデータバス20とローカルデータバス13との接続は、全てコンタクトホール或いはホール埋め込み層を介して行われる。

【0028】図1のコア回路の動作を、データ読み出しを例にとって以下に説明する。サブワードデコーダ列領域12に配置されるワードデコーダ（図示せず）によって、図示されない複数のワード選択線から一本のワード選択線14を選択する。このワード選択線14を選択することによって、縦横に配置されるセルブロック10のうちの一行を選択すると共に、その一行のセルブロック10に含まれるセルアレイから一行のメモリセルを選択する。選択されたメモリセルに記憶されるデータが、図示されないビット線を介して、選択されたセルブロック10の上下に配置されるセンスアンプ列領域11に読み出され、複数のセンスアンプに保持される。図示されない複数のコラム選択線から一本のコラム選択線15を選択することによって、メモリセルからのデータを保持する複数のセンスアンプ列から幾つかのセンスアンプを選択し、選択されたセンスアンプからデータをローカルデータバス13に読み出す。選択されたメモリブロック10の上下に配置されるローカルデータバス13に直接に接続されたグローバルデータバス20を介して、データが読み出される。

【0029】図1に示すように本発明に於ては、グローバルデータバス20が、セルブロック10のセルアレイの上部を通過するように配置される。このように本発明

のレイアウトによれば、グローバルデータバス20を配置するためのスペースが十分に与えられているので、メモリチップの面積を増大させることなく、グローバルデータバスの本数を増やしてデータ転送量を増大させることが出来る。また各グローバルデータバス20は、ローカルデータバス13に直接に接続されるので、余計な抵抗値が挿入されることなく高速なデータ転送を行うことが出来る。

【0030】図2は、本発明の原理によるグローバルデータバスのレイアウトの変形例を示す図である。図2に於て、図1と同一の要素は同一の番号によって参照され、その説明は省略する。図2のレイアウトに於ては、グローバルデータバス20Aが、対応する各ローカルデータバス13と接続されている点が、図1のレイアウトと異なる。図2に示す構成の場合、グローバルデータバス20Aの各データ線は、複数のローカルデータバス13と接続されているので、複数のローカルデータバス13から一つだけを選択して活性化する機能を設ける必要がある。この機能については後述の実施例に於て説明する。

【0031】図1のレイアウトに於ては、ローカルデータバス13の各データ線に対してグローバルデータバス20のデータ線を一本設ける必要があり、データ線間の関係は1対1の対応となっている。従ってローカルデータバス13の総本数と同一本数のグローバルデータバス13を設ける必要がある。この場合、ローカルデータバス13の本数を増やして、グローバルデータバス13の本数を増やそうとしても、グローバルデータバス13の本数が当初から比較的多いために、チップスペースの制限から望むほどグローバルデータバス13の本数を増やせない可能性がある。それに対して図2のレイアウトに於ては、ローカルデータバス13のデータ線とグローバルデータバス20Aのデータ線とは多対1の対応となっているため、ローカルデータバス13の総本数よりもグローバルデータバス13の本数はかなり少なく構成できる。従ってグローバルデータバス13の本数を増やすために必要なチップスペースには十分な余裕があり、データ転送量を大幅に増加することが可能である。

【0032】図3は、本発明のコア回路のレイアウトを適用した一例としてDRAMの構成図を示す。図3のDRAM30は、第1のクロック生成器31、第2のクロック生成器32、書き込みクロック生成器33、モード制御器34、アドレスバッファ/プリデコーダ35、リフレッシュアドレスカウンタ36、データ入力バッファ37、データ出力バッファ38、論理回路39、図1或いは図2のレイアウトによるコア回路40、コラムデコーダ41、ローデコーダ42、書き込みバッファ/読み出しアンプ43を含む。

【0033】図3の本発明によるDRAMは、基本的に従来のDRAMとコア回路40のレイアウトが異なるだ

けであり、全体的な動作は従来のDRAMと同様である。以下に図3及び図1或いは図2を参照して、本発明によるDRAMの動作について説明する。第1のクロック生成器31には、/RAS (row access strobe) 信号及び/CAS (column access strobe) 信号が入力されて、/RAS信号がイネーブルの時に、コア回路40に対するローアクセスのための第1のクロック信号が生成される。/CAS信号がイネーブルのとき、第1のクロック生成器31の生成した第1のクロック信号は論理回路39を介して第2のクロック生成器32に入力される。第2のクロック生成器32は、入力された第1のクロック信号を基に、コラムアクセスのための第2のクロック信号を生成する。更に/CAS信号と第1のクロック生成器31が生成した第1のクロック信号とに基づいて、モード制御器34は、リフレッシュアドレスカウンタ36を制御する。これによりリフレッシュアドレスカウンタ36は、アドレスバッファ/プリデコーダ35及びローデコーダ42を介して、コア回路40のメモリセルに対するリフレッシュ動作を実行する。

【0034】データ読み出しの場合、A0乃至Aiのアドレス信号が、アドレスバッファ/プリデコーダ35に入力される。アドレス信号はアドレスバッファ/プリデコーダ35でプリデコードされ、プリデコードの結果がローデコーダ42に入力される。第1のクロック生成器31からの第1のクロック信号に基づいて動作するローデコーダ42は、プリデコードされた結果を更にデコードして、ワード選択線14 (図1或いは図2)を選択する。これによりコア回路40の選択されたロー (ワード) がアクセスされる。選択されたローのデータは、コア回路内のセンスアンプ (図示せず) に読み出される。アドレスバッファ/プリデコーダ35からのプリデコード結果を受け取るコラムデコーダ41は、第2のクロック生成器32からの第2のクロック信号に基づいて、コラム選択線15 (図1或いは図2)を選択する。これによって選択されたセンスアンプから、データが読み出される。読み出されたデータはグローバルデータバス20 (図1) 或いは20A (図2) を介して、書き込みバッファ/読み出しアンプ43に供給される。

【0035】書き込みバッファ/読み出しアンプ43は、読み出したデータを増幅し、データ出力バッファ38に供給する。データ出力バッファ38は、/OE (output enable) 信号と第2のクロック信号とに基づいて、供給されたデータを外部にデータDQとして出力する。データ書き込みの場合、第2のクロック生成器32からの第2のクロック信号及び外部から入力される/W E (write enable) 信号に基づいて、書き込みクロック生成器33が入力クロック信号を生成する。外部から入力されたデータDQは、この入力クロック信号に基づいて、データ入力バッファ37が一時的に格納する。データ入力バッファ37のデータは、書き込みバッファ/読



み出しアンプ43に転送される。

【0036】またA0乃至Aiのアドレス信号が、アドレスバッファ／プリデコード35に入力される。アドレス信号はアドレスバッファ／プリデコード35でプリデコードされ、コラムデコード41及びローデコード42に供給される。第2のクロック信号に基づいて動作するコラムデコード41は、アドレスバッファ／プリデコード35からのプリデコード結果を受け取り、コラム選択線15（図1或いは図2）を選択することによってコア回路40内のセンスアンプを選択する。これによって書き込みバッファ／読み出しアンプ43のデータは、グローバルデータバス20（図1）或いは20A（図2）を介して、選択されたセンスアンプに転送される。更に第1のクロック信号に基づいて動作するローデコード42が、プリデコード結果を更にデコードしてワード選択線14（図1或いは図2）を選択することで、センスアンプのデータが選択されたメモリセルに格納される。

【0037】図4は、コア回路40内のセンスアンプ、コラム選択線、ローカルデータバス、及びグローバルデータバスの構成の第1の実施例を示す。図4の構成は、図1のレイアウトに対応するものであり、グローバルデータバスがローカルデータバスに1対1に対応する。図4に於て、複数のセンスアンプ51-1は一系列のセンスアンプ列を構成し、ローカルデータバス13-1にNMOSトランジスタ52-1を介して接続される。同様に複数のセンスアンプ51-n-1は一系列のセンスアンプ列を構成し、ローカルデータバス13-n-1にNMOSトランジスタ52-n-1を介して接続される。更に一系列のセンスアンプ列をなす複数のセンスアンプ51-nは、ローカルデータバス13-nにNMOSトランジスタ52-nを介して接続される。NMOSトランジスタ52-1乃至52-nのゲートには、コラム選択線15-1乃至15-mが接続される。センスアンプ51-1乃至51-nが構成するセンスアンプ列の各々は、図1のセンスアンプ列領域11に配置されるものであり、セルブロック10内のメモリセルとビット線及びセルゲートトランジスタを介して接続される。

【0038】複数のコラム選択線15-1乃至15-mの一本を選択することで、センスアンプ51-1乃至51-nが構成するセンスアンプ列の各列に於て、一つのセンスアンプを選択して対応するローカルデータバス13-1乃至13-nに接続することが出来る。ローカルデータバス13-1乃至13-nには各々、グローバルデータバス20-1乃至20-nが直接接続されている。

【0039】データ読み出しの場合、例えばセンスアンプ51-1が構成するセンスアンプ列に対応するセルブロック10（図1参照）が、ワード選択線14（図1参照）によって選択され、選択された1行のメモリセルのデータがセンスアンプ51-1に格納される。次に複数

のコラム選択線15-1乃至15-mの一本を選択してHIGHにすることで、コラムゲートトランジスタであるNMOSトランジスタ52-1を選択的に導通させる。導通されたNMOSトランジスタ52-1を介して、選択されたセンスアンプ51-1のデータがローカルデータバス13-1に読み出される。ローカルデータバス13-1のデータは、直接に接続されるグローバルデータバス20-1を介して、コア回路40から読み出される。

10 【0040】データ書き込みの場合、例えばグローバルデータバス20-nを介して、データをローカルデータバス13-nに供給する。複数のコラム選択線15-1乃至15-mの一本を選択してHIGHにすることで、コラムゲートトランジスタであるNMOSトランジスタ52-nを選択的に導通させる。導通されたNMOSトランジスタ52-nを介して、ローカルデータバス13-nのデータが選択されたセンスアンプ51-nに書き込まれる。更に、ワード選択線14（図1参照）によって選択されたメモリセルに、選択されたセンスアンプ51-nのデータが格納される。

20 【0041】図5は、コア回路40内のセンスアンプ、コラム選択線、ローカルデータバス、及びグローバルデータバスの構成の第2の実施例を示す。図5の構成は、図2のレイアウトに対応するものであり、グローバルデータバスがローカルデータバスに1対多に対応する。図5に於て図4と同一の要素は同一の番号で参照され、その説明は省略する。

30 【0042】図5に於て、グローバルデータバス20Aは、ローカルデータバス13-1乃至13-nの各々に直接に接続される。複数のセンスアンプ51-1は、NMOSトランジスタ52-1及び53-1を介してローカルデータバス13-1に接続される。同様に、複数のセンスアンプ51-n-1はNMOSトランジスタ52-n-1及び53-n-1を介してローカルデータバス13-n-1に接続され、複数のセンスアンプ51-nはNMOSトランジスタ52-n及び53-nを介してローカルデータバス13-nに接続される。

40 【0043】図2の説明で述べたように、グローバルデータバス20Aは複数のローカルデータバス13に直接接続されるので、複数のローカルデータバス13から一つを選択的に活性化する機能を設ける必要がある。図5に於ては、ドライバ62-1乃至62-nとセンスアンプ選択線61-1乃至61-nとを用いて、これを実現する。

50 【0044】センスアンプ選択線61-1乃至61-nは、NMOSトランジスタ53-1乃至53-nのゲートに接続される。ドライバ62-1乃至62-nが、対応するセンスアンプ選択線61-1乃至61-nを駆動する。ドライバ62-1乃至62-nは、図2に於て、ワード選択線14がセルブロック10のある一行を選択

した場合に、この選択された一行に対応するその上下に配置されたセンスアンプ列領域11のセンスアンプ列を選択するためのものである。ドライバ62-1乃至62-nは、図3に示されるローデコード42によって制御され、選択するセンスアンプ列に対応するセンスアンプ選択線61-1乃至61-nをHIGHにする。このローデコード42によるドライバ62-1乃至62-nの選択的な制御は、従来技術のDRAMに於て、例えば図10の回路でアンプスイッチ216を選択的に導通するよう制御する技術と同一であり、詳細な説明は省略する。

【0045】データ読み出しの場合、例えばセンスアンプ51-1が構成するセンスアンプ列に対応するセルブロック10（図1参照）が、ワード選択線14（図1参照）によって選択され、選択された1行のメモリセルのデータがセンスアンプ51-1に格納される。次にドライバ62-1がセンスアンプ選択線61-1をHIGHにして、NMOSトランジスタ53-1を導通させる。また複数のコラム選択線15-1乃至15-mの一本を選択してHIGHにすることで、NMOSトランジスタ52-1を選択的に導通させる。導通されたNMOSトランジスタ52-1及び53-1を介して、選択されたセンスアンプ51-1のデータがローカルデータバス13-1に読み出される。ローカルデータバス13-1のデータは、直接に接続されるグローバルデータバス20Aを介して、コア回路40から読み出される。

【0046】データ書き込みの場合、グローバルデータバス20Aを介して、ローカルデータバス13-1乃至13-nにデータを供給する。次に例えば、ドライバ62-nがセンスアンプ選択線61-nをHIGHにして、NMOSトランジスタ53-nを導通させる。また複数のコラム選択線15-1乃至15-mの一本を選択してHIGHにすることで、NMOSトランジスタ52-nを選択的に導通させる。導通されたNMOSトランジスタ52-n及び53-nを介して、ローカルデータバス13-nのデータが選択されたセンスアンプ51-nに書き込まれる。更に、ワード選択線14（図1参照）によって選択されたメモリセルに、選択されたセンスアンプ51-nのデータが格納される。

【0047】図6は、図5の構成に於てセンスアンプとビット線との関係を示す回路図である。図6に於ては、図5のセンスアンプ52-1の一つを例にとって、ビット線とこのセンスアンプ52-1との回路構成を示す。図6に於て図5と同一の要素は同一の番号で参照され、その説明は省略する。図6に於て、センスアンプ51-1は、NMOSトランジスタ71及び72とPMOSトランジスタ73及び74を含む。センスアンプ51-1は、センスアンプ駆動信号NSA及びPSAによって駆動される。センスアンプ51-1は、データ読み出し時にはビット線BL及び/BLに接続されるメモリセル

（図示せず）から読み出されたビット線BL及び/BL

上のデータ信号を増幅すると共に、データ書き込み時にはローカルデータバス13-1からビット線BL及び/BLに供給されたデータ信号を保持する。

【0048】NMOSトランジスタ75乃至77は、ビット線BL及び/BLを互いに短絡して同電位にするための回路を構成し、ショート信号SSがHIGHの場合にビット線BL及び/BLを互いに短絡する。NMOSトランジスタ78乃至81は、センスアンプ51-1とメモリセルとの間に介在するゲートであり、ビット線転送信号BLTがHIGHの時に導通することによって、センスアンプ51-1とメモリセルとの間をビット線BL及び/BLを介して接続する。

【0049】図6と同一の構成が、図5の各センスアンプに対して設けられており、これによって、各センスアンプ及びメモリセル間のデータ転送がデータ読み出し時及びデータ書き込み時に行われる。図7は、図5及び図6に示される第2の実施例の変形例を示す。図7は、図6に対応するものであり、同一の要素は同一の番号で参照され、その説明は省略する。

【0050】図7の回路は、図6に於けるNMOSトランジスタ53-1及びセンスアンプ選択線61-1が取り除かれていることを除けば、図6の回路と同一である。但し選択時にコラム選択線15-1に供給する電位を適当な電位に設定することによって、センスアンプ51-1が非活性の場合には、ビット線BL及び/BLがローカルデータバス13-1に接続されることを防ぐことが出来る。

【0051】通常のDRAMと同様に、図7のビット線BL及び/BLとローカルデータバス13-1とは、データ読み出し／書き込みの準備として、所定の電位VPPにプリチャージされる。プリチャージ電圧VPPは、電源電位をVCCとした場合、例えば1/2VCCである。図7の変形例に於ては、コラム選択線15-1が選択された時に、コラム選択線15-1に供給される電位をプリチャージ電位VPP以下の電位VCLに設定する。

【0052】センスアンプ51-1が非活性の場合、即ちセンスアンプ51-1にデータが保持されてなく、ビット線BL及び/BLがプリチャージ電位VPPのままである場合を考える。このときコラム選択線15-1が選択されても、コラム選択線15-1の電位VCLはプリチャージ電位VPP以下であるので、NMOSトランジスタ52-1は導通されない。従って、ビット線BL及び/BLは、ローカルデータバス13-1に接続されない。

【0053】次にセンスアンプ51-1が活性化された場合、即ちセンスアンプ51-1にデータが保持されており、ビット線BL及び/BLの電位が例えば電源電位VCC及びグラウンド電位VSSにある場合を考える。このときコラム選択線15-1が選択されると、コラム選

択線15-1の電位VCLはグラウンド電位VSS以上であるので、NMOSトランジスタ52-1の一方は導通される。従って、ビット線BL及び／BLのデータが、ローカルデータバス13-1に現われることになる。

【0054】このように図7の変形例に於ては、センスアンプ選択線を設ける代わりにコラム選択線の選択時の電位を適切な値に設定することによって、複数のローカルデータバスがグローバルデータバスに接続されていても、非活性のセンスアンプ列をグローバルデータバスから切断することが出来る。なお図7に於て選択時のコラム選択線15-1の電位VCLは、正確には、プリチャージ電位VPPとNMOSトランジスタ52-1のしきい値電圧Vthとの和( $VPP + Vth$ )以下であればよい。

【0055】図8は、図3のコア回路40内のセンスアンプ、コラム選択線、ローカルデータバスの構成の第3の実施例を示す。図8の構成は、図2のレイアウトに対応するものであり、グローバルデータバスがローカルデータバスに1対多に対応する。また図8は、図6に対応する回路部分を示すものであり、同一の要素は同一の番号で参照され、その説明は省略する。

【0056】図8の回路は、図6の回路とは、NMOSトランジスタ91乃至94から構成されるデータ読み出し用の回路が付加的に設けられている点のみが異なる。図8の構成は、従来用いられるダイレクトセンスアンプ方式を応用したものであり、NMOSトランジスタ91及び92のゲートが各々ビット線／BL及びBLに接続される。またデータ読み出し用のローカルデータバス13-1Aが、コラム選択線15-1によって制御されるNMOSトランジスタ93及び94を介して、NMOSトランジスタ91及び92のドレインに接続される。またNMOSトランジスタ93及び94のソースは、データ読み出し用のセンスアンプ選択線61-1Aに接続される。

【0057】データ読み出し時には、センスアンプ選択線61-1Aを選択してLOWにする。コラム選択線15-1が選択されてHIGHになると、NMOSトランジスタ93及び94が導通して、ローカルデータバス13-1AがNMOSトランジスタ91及び92を介してビット線BL及び／BLに電氣的に接続される。この時、NMOSトランジスタ91及び92のソースはLOWレベルである。従って例えばビット線BLがHIGHである場合には、NMOSトランジスタ92が導通されて、NMOSトランジスタ92に接続されるローカルデータバス13-1Aから電流がLOWレベルに引き込まれる。即ち、このローカルデータバス13-1Aの電位はLOWとなる。この時ビット線／BLはLOWであり、NMOSトランジスタ91は導通されない。従ってNMOSトランジスタ91に接続されるローカルデータバス13-1Aからは電流が引き込まれない。

【0058】このようにしてセンスアンプ51-1が保持するデータを、ローカルデータバス13-1Aに読み出すことが出来る。このような構成に於ては、ビット線BL及び／BLは、ローカルデータバス13-1Aに直接的に接続されるのではなく、NMOSトランジスタ91及び92の開閉を制御することで、ローカルデータバス13-1Aを駆動してデータ転送を行う。従って、ローカルデータバス13-1Aの負荷が重い場合であっても、ローカルデータバス13-1Aをビット線BL及び／BLに直接的に接続する構成と異なり、センスアンプ51-1の保持するデータがこの負荷によって影響を受けることがない。これにより信頼性の高いデータ読み出しを実現することが出来る。

【0059】なおセンスアンプ選択線61-1Aは、図5のセンスアンプ選択線61-1乃至61-nと同様に、センスアンプ51-1が構成するセンスアンプ列からセンスアンプ51-nが構成するセンスアンプ列まで、各センスアンプ列毎に設けられるものである。また読み出し用のローカルデータバス13-1Aも、図5のローカルデータバス13-1乃至13-nと同様に、各センスアンプ列毎に設けられるものである。

【0060】図9は、図8の第3の実施例の変形例を示す。図9に於て、図8と同一の要素は同一の番号で参照され、その説明は省略する。図9の回路は、図8に於けるセンスアンプ選択線61-1Aに対応する部分がグラウンド電位VSSに接続されていることを除けば、図8の回路と同一である。但しビット線BL及び／BLのプリチャージ電圧VPPをグラウンド電位VSSに設定することによって、センスアンプ51-1が非活性な場合には、ビット線BL及び／BLがローカルデータバス13-1Aに接続されることを防ぐことが出来る。

【0061】センスアンプ51-1が非活性の場合、即ちセンスアンプ51-1にデータが保持されてなく、ビット線BL及び／BLがプリチャージ電位VSSのままである場合を考える。このときNMOSトランジスタ91及び92のゲート電位とソース電位とが同一であるので、NMOSトランジスタ91及び92は導通されない。従ってコラム選択線15-1が選択されても、ビット線BL及び／BLのデータはローカルデータバス13-1Aに現われない。

【0062】次にセンスアンプ51-1が活性化された場合、即ちセンスアンプ51-1にデータが保持されており、ビット線BL及び／BLの電位が例えば電源電位VCC及びグラウンド電位VSSにある場合を考える。このときNMOSトランジスタ92が導通される。従ってコラム選択線15-1が選択されると、ビット線BL及び／BLのデータがローカルデータバス13-1Aに現われることになる。

【0063】このように図9の変形例に於ては、センスアンプ選択線を設ける代わりにプリチャージ電位VPP

を適切な値に設定することによって、複数のローカルデータバスがグローバルデータバスに接続されていても、非活性のセンスアンプ列をグローバルデータバスから切断することが出来る。なおプリチャージ電圧VPPは、正確には、グラウンド電位VSSとNMOSトランジスタ91及び92のしきい値電圧Vthとの和(VSS+VPP)以下の電圧であればよい。

【0064】本発明は上記実施例に基づいて説明されたが、特定の実施例に限定されるものではなく、特許請求の範囲に記載の範囲内に於て、様々な変形・変更が可能である。

#### 【0065】

【発明の効果】請求項1の発明に於ては、グローバルデータバスである第2のデータバスをセルブロックの位置に配置するので、チップ面積を増大させることなく、グローバルデータバスの本数を増やしてデータ伝送量を増加させることが出来る。請求項2の発明に於ては、第1のデータバスと第2のデータバスとが異なる伝導層に配置されるので、両データバスのレイアウトを互いに干渉することなく設定することが出来る。

【0066】請求項3の発明に於ては、ワード選択線である第1の選択線は第1の伝導層に配置されるので、第2の伝導層に配置される第2のデータバスと直交するように配置することが出来る。請求項4の発明に於ては、コラム選択線である第2の選択線によって、複数のセンスアンプから少なくとも一つを選択して第1のデータバスに接続することが出来る。

【0067】請求項5の発明に於ては、ローカルデータバスである第1のデータバスは、グローバルデータバスである第2のデータバスに一对一に直接接続されるので、各々のローカルデータバスに対しては、対応するグローバルデータバスを介してデータ読み出し/書き込みを行うことが出来る。請求項6の発明に於ては、ローカルデータバスである第1のデータバスは、グローバルデータバスである第2のデータバスに多対一に直接接続されるので、必要なグローバルバスの本数を、一对一の直接接続の場合に比較して少なくすることが出来る。

【0068】請求項8の発明に於ては、ローカルデータバスである第1のデータバスがグローバルデータバスである第2のデータバスに多対一に直接接続される場合に、第1のデータバスと接続するセンスアンプ列を複数のセンスアンプ列から選択することによって、複数のローカルデータバスからのデータがグローバルデータバスに於て衝突しないように制御することが出来る。

【0069】請求項9の発明に於ては、コラム選択線である第2の選択線とセンスアンプ列選択線である第3の選択線とは別の伝導層に配置されるので、両選択線を互いに干渉することなくレイアウトすることが出来る。請求項10の発明に於ては、2つのゲートを直列に接続して第2の選択線と第3の選択線により各ゲート制御する

ことで、両選択線が選択されたときのみ該当するセンスアンプが第1のデータバスに接続されるような回路を、簡単に実現することが出来る。

【0070】請求項11の発明に於ては、データ読み出しに関しては、ダイレクトセンスアンプ方式を応用することで、信頼性のあるデータ読み出しを実現することが出来る。請求項12の発明に於ては、コラム選択線である第2の選択線を選択する際の電位を略プリチャージ電位以下にすることで、コラムゲートである第1のゲートが選択されてもセンスアンプがプリチャージ電位のままであれば第1のゲートは導通されず、非活性のセンスアンプは第1のデータバスに接続されない。

【0071】請求項13の発明に於ては、データ読み出しに関しては、ダイレクトセンスアンプ方式を応用することで信頼性のあるデータ読み出しを実現出来るとともに、センスアンプのプリチャージ電位を略グラウンド電位とすることで、非活性のセンスアンプを自動的に第1のデータバスから分離することが出来る。請求項14の発明に於ては、グローバルデータバスである第2のデータバスをセルブロックの位置に配置するので、チップ面積を増大させることなく、グローバルデータバスの本数を増やしてデータ伝送量を増加させることが出来る。

#### 【図面の簡単な説明】

【図1】本発明の原理によるグローバルデータバスのレイアウトを示す図である。

【図2】本発明の原理によるグローバルデータバスのレイアウトの変形例を示す図である。

【図3】本発明のコア回路のレイアウトを適用したDRAMの一例の構成図である。

【図4】コア回路内のセンスアンプ、コラム選択線、ローカルデータバス、及びグローバルデータバスの構成の第1の実施例を示す回路図である。

【図5】コア回路40内のセンスアンプ、コラム選択線、ローカルデータバス、及びグローバルデータバスの構成の第2の実施例を示す回路図である。

【図6】図5の構成に於けるセンスアンプとビット線との関係を示す回路図である。

【図7】図5及び図6に示される第2の実施例の変形例を示す回路図である。

【図8】コア回路内のセンスアンプ、コラム選択線、ローカルデータバスの構成の第3の実施例を示す回路図である。

【図9】図8の第3の実施例の変形例を示す回路図である。

【図10】従来のDRAMのセルアレイ周辺のレイアウトの一例を示す図である。

【図11】従来のDRAMのセルアレイ周辺のレイアウトの別の例を示す図である。

#### 【符号の説明】

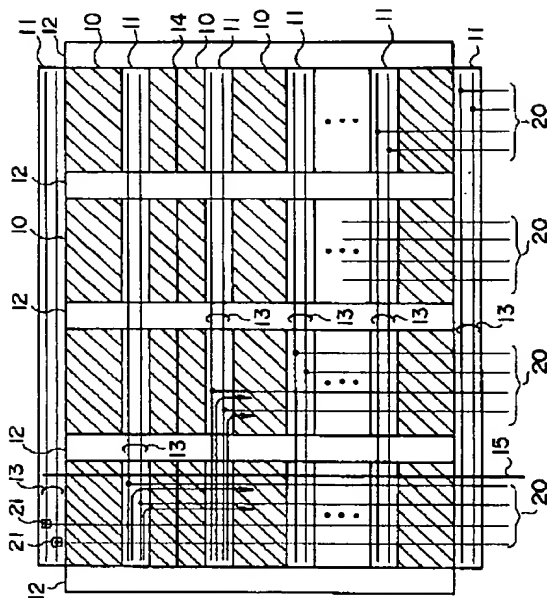
10 セルブロック

19

- 11 センスアンプ列領域
- 12 サブワードデコーダ列領域
- 13 ローカルデータバス13
- 14 ワード選択線14
- 15 コラム選択線
- 20、20A グローバルデータバス
- 21 コンタクトホール
- 30 DRAM
- 31 第1のクロック生成器
- 32 第2のクロック生成器
- 33 書き込みクロック生成器
- 34 モード制御器
- 35 アドレスバッファ／プリデコーダ
- 36 リフレッシュアドレスカウンタ
- 37 データ入力バッファ
- 38 データ出力バッファ

【図1】

本発明の原理によるグローバルデータバスのレイアウトを示す図

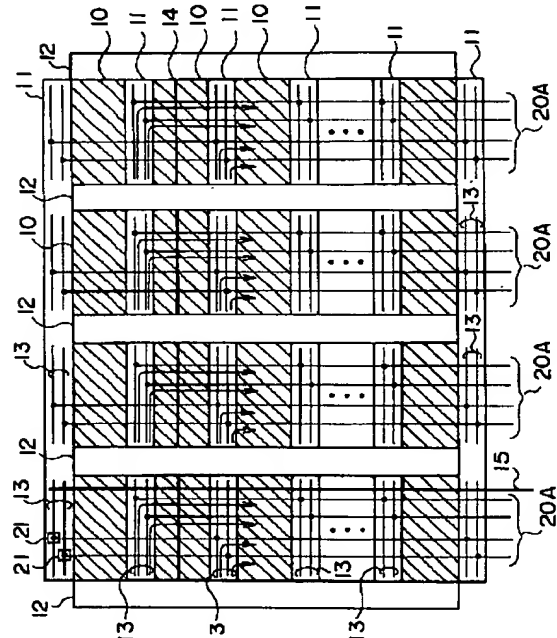


20

- 39 論理回路
- 40 コア回路
- 41 コラムデコーダ
- 42 ローデコーダ
- 43 書き込みバッファ／読み出しアンプ
- 201、201A コア回路
- 202、202A グローバルデータバス
- 210 セルブロック
- 211 センスアンプ列領域
- 10 212 サブワードデコーダ列領域
- 213 ローカルデータバス
- 214 ワード選択線
- 215 コラム選択線
- 216 アンプスイッチ
- 216A スイッチ

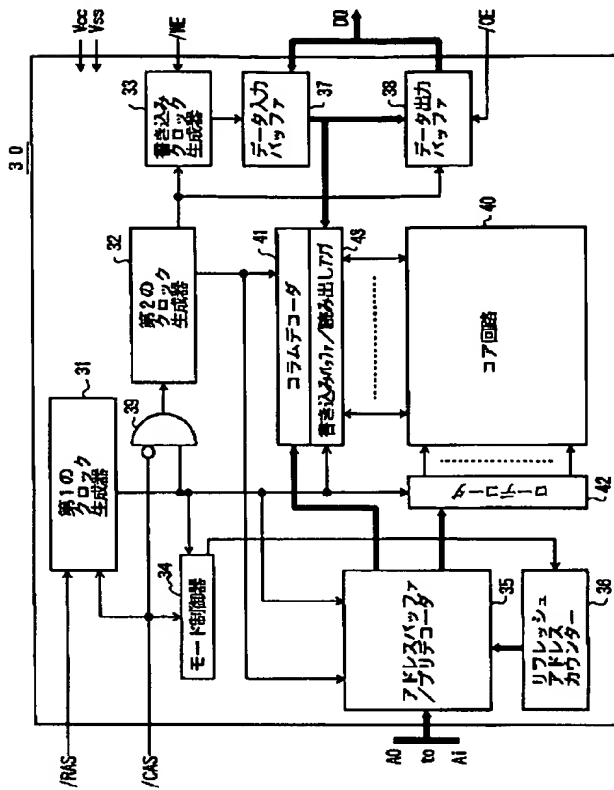
【図2】

本発明の原理によるグローバルデータバスのレイアウトの変形例を示す図



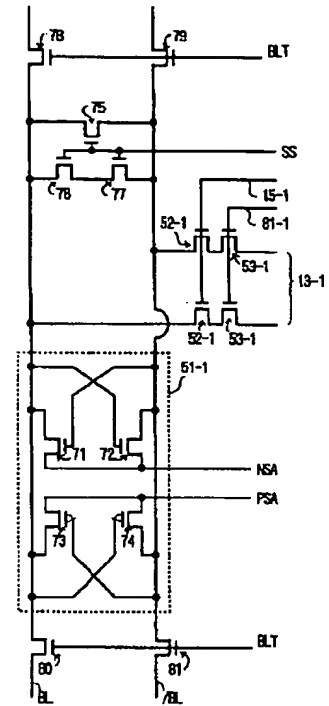
【図3】

本発明のコア回路のレイアウトを適用したDRAMの一例の構成図



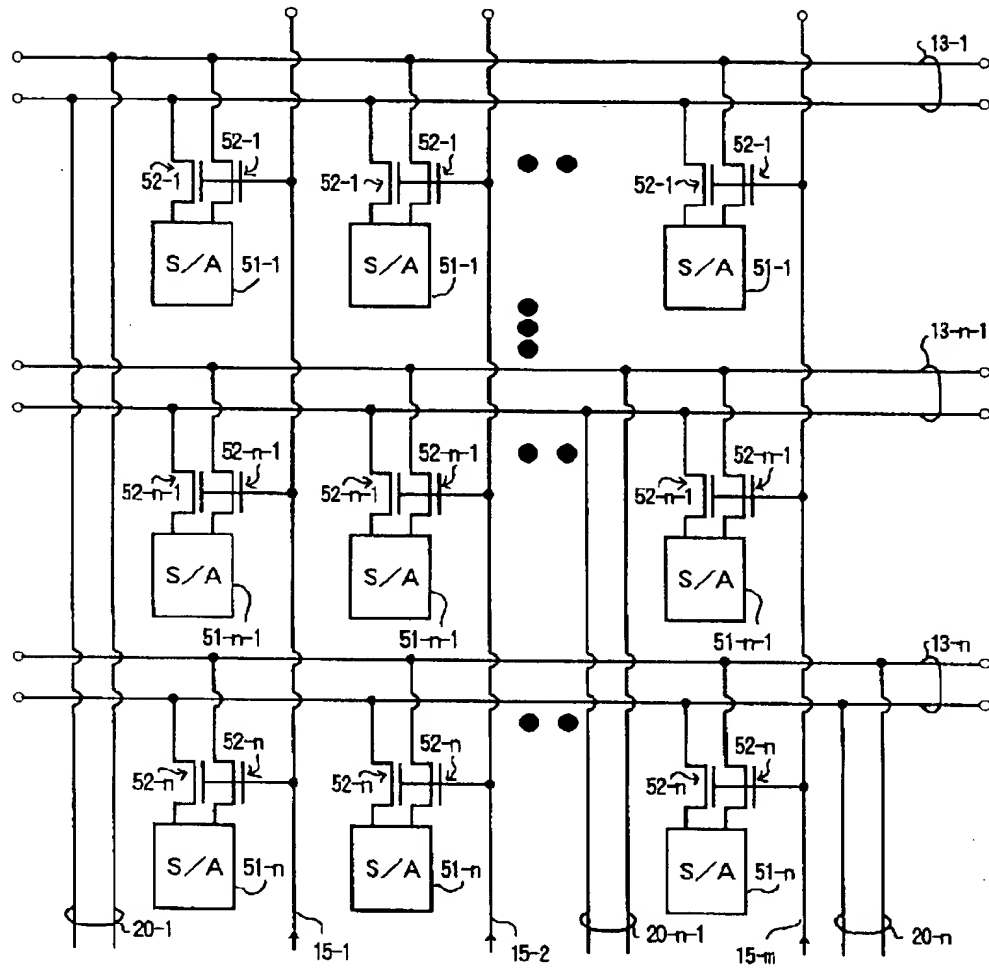
【図6】

図5の構成に於けるセンスアンプとビット線との関係を示す図

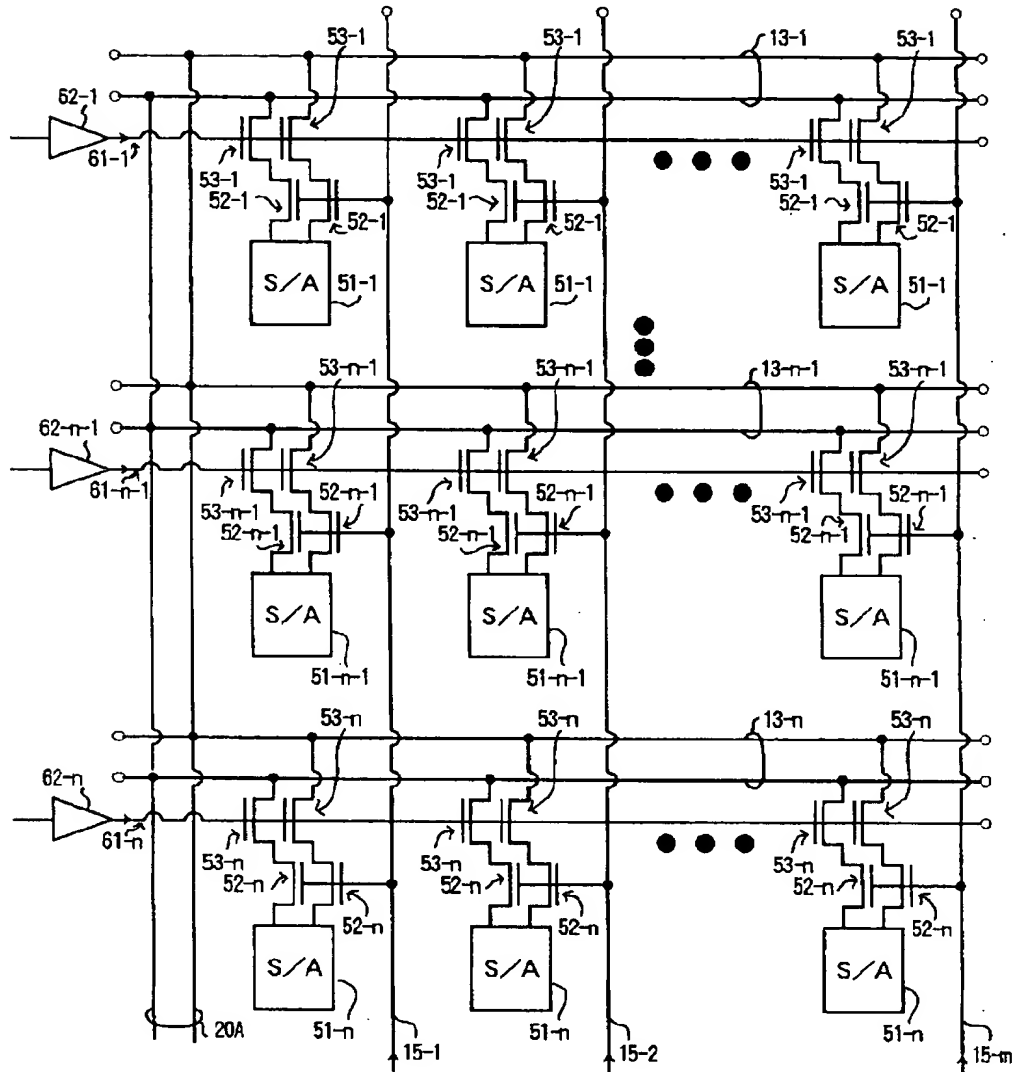


【図 4】

コア回路内のセンスアンプ、コラム選択線、ローカルデータバス、  
及びグローバルデータバスの構成の第1の実施例を示す回路図



コア回路40内のセンスアンプ、コラム選択線、ローカルデータベース、及びグローバルデータベースの構成の第2の実施例を示す回路図





【図7】

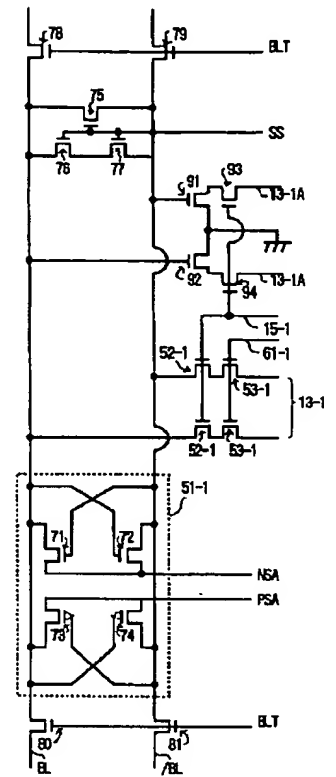
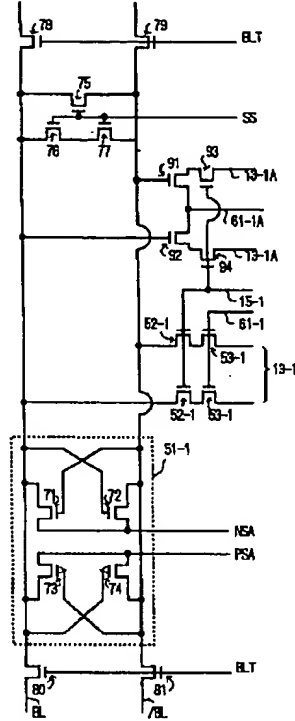
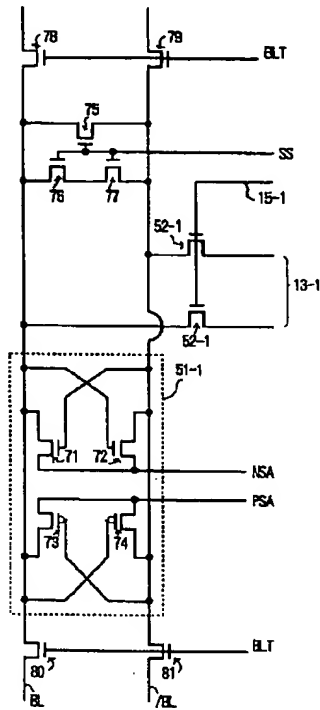
【図8】

【図9】

図5及び図6に示される第2の実施例の回路を示す回路図

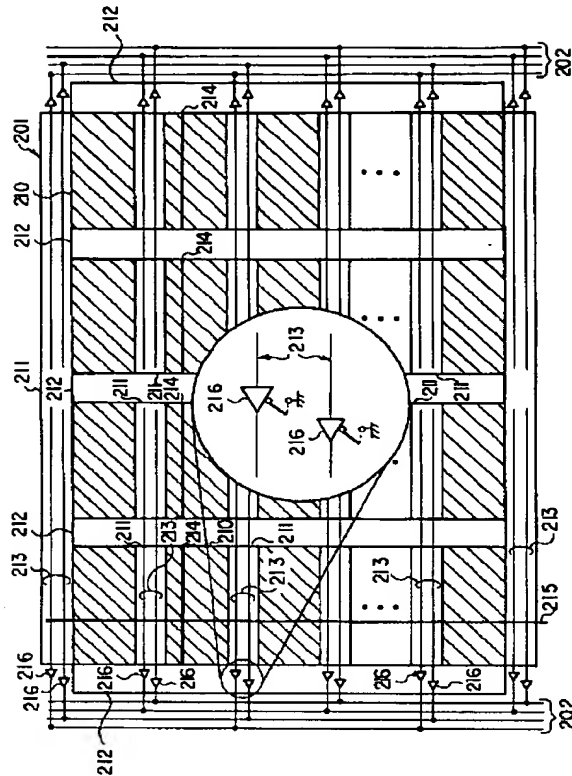
コア記憶内のセンスアンプ、コラム選択線、ローカルデータバスの構成の第3の実施例を示す回路図

図8の第3の実施例の回路を示す回路図



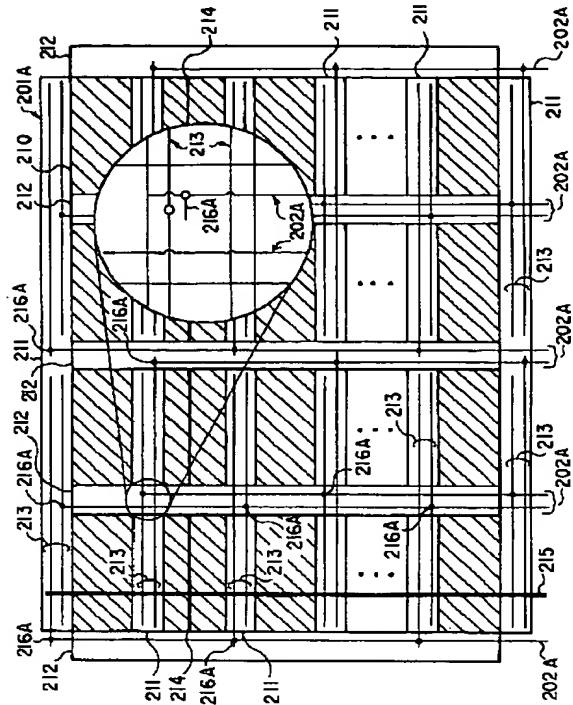
【図10】

従来のDRAMのセルレイ周辺のレイアウトの一例を示す図



【図11】

従来のDRAMのセルレイ周辺のレイアウトの別の例を示す図



フロントページの続き

- (72) 発明者 江渡 聡  
神奈川県川崎市中原区上小田中4丁目1番  
1号 富士通株式会社内
- (72) 発明者 中村 俊和  
神奈川県川崎市中原区上小田中4丁目1番  
1号 富士通株式会社内
- (72) 発明者 瀧田 雅人  
神奈川県川崎市中原区上小田中4丁目1番  
1号 富士通株式会社内
- (72) 発明者 東保 充洋  
愛知県春日井市高蔵寺町二丁目1844番2  
富士通ヴィエルエスアイ株式会社内

- (72) 発明者 古賀 徹  
神奈川県川崎市中原区上小田中4丁目1番  
1号 富士通株式会社内
- (72) 発明者 加納 英樹  
神奈川県川崎市中原区上小田中4丁目1番  
1号 富士通株式会社内
- (72) 発明者 北本 綾子  
神奈川県川崎市中原区上小田中4丁目1番  
1号 富士通株式会社内
- (72) 発明者 川畑 邦範  
神奈川県川崎市中原区上小田中4丁目1番  
1号 富士通株式会社内